

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018125

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 51/00

C08G 61/12

G02F 1/136

H01L 29/786

(21)Application number : 06-146004

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.06.1994

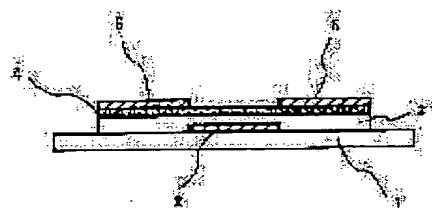
(72)Inventor : ARAYA SUKEKAZU
KONDO KATSUMI
OHARA SHUICHI

(54) FIELD-EFFECT TRANSISTOR, MANUFACTURE THEREOF AND LIQUID CRYSTAL DISPLAY DEVICE USING TRANSISTOR THEREOF

(57)Abstract:

PURPOSE: To make it possible to form conjugated system oligomer uniformly at the same time on a large substrate and to modulate a drain current largely with a voltage which is applied on a gate by using the conjugated system oligomer whose ionization potential is specified in a semiconductor layer.

CONSTITUTION: As the physical value indicating the degree of easy slip-out of electrons from a semiconductor, ionization potential is provided. A high ionization potential means that much energy is required when one electrons goes out of the material. Therefore, when the ionization potential is 4.8eV or more, it is considered that charge moving reaction with oxygen becomes hard to occur, the concentration of holes is decreased and the electrical conductivity becomes small. Thus, the field effect transistor having the large ON/OFF ratio is obtained by using conjugated system oligomer having the ionization potential of 4.8eV or more in a semiconductor layer. Furthermore, the ionization potential is defined as the value, which is measured by using a photoelectric spectroscope in the atmosphere.



LEGAL STATUS

[Date of request for examination] 28.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3246189

[Date of registration] 02.11.2001

[Number of formal examination decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-18125

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 51/00				
C 0 8 G 61/12	N L J			
G 0 2 F 1/136	5 0 0			
		9056-4M	H 0 1 L 29/ 28 29/ 78	3 1 1 B
審査請求 未請求 請求項の数22 O L (全 17 頁) 最終頁に続く				

(21) 出願番号 特願平6-146004

(22) 出願日 平成6年(1994)6月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 荒谷 介和

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 近藤 克己

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 大原 周一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

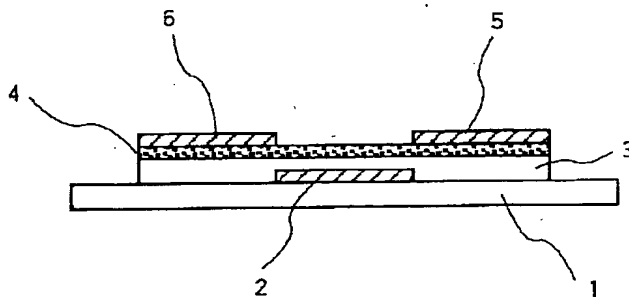
(54) 【発明の名称】 電界効果型トランジスタ、その製造方法及びそれを用いた液晶表示装置

(57) 【要約】

【目的】 大面積基板上に同時に均一に作製でき、またゲートに印加する電圧によってソース・ドレイン間電流を大きく変調させることができ、かつ、その動作が安定で、素子の寿命も長く、作製方法も簡便であるFET、その製造法及びそのようなFETを用いたコントラストが高く、安価、安定で長寿命の液晶表示装置を提供すること。

【構成】 電界効果型トランジスタにおいて、半導体層にイオン化ポテンシャルが4.8eV以上の共役系オリゴマーを用いることを特徴とする電界効果型トランジスタ及び該電界効果型トランジスタを用いた液晶表示装置。また、上記化合物の溶液を用い、湿式法により半導体層を作製する電界効果型トランジスタの製造法。また、上記化合物を用い、レーザー加工法及び紫外線照射法によって該半導体層をパターンニングする電界効果型トランジスタの製造法。

図 1



【特許請求の範囲】

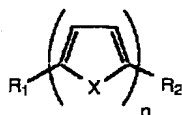
【請求項 1】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーを半導体層に用いることを特徴とする電界効果型トランジスタ。

【請求項 2】請求項 1 記載の共役系オリゴマーを半導体層に用い、該半導体層の正孔移動度が $0.2 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とする電界効果型トランジスタ。

【請求項 3】イオン化ポテンシャルが 4.8 eV 以上であり、6 個以上 12 個以下の繰り返し単位を有する共役系オリゴマーを半導体層に用いることを特徴とする電界効果型トランジスタ。

【請求項 4】下記一般式（化 1）〔但し、式中 n は 6 以上 12 以下の整数を表し、 X は S および Se を表す。また、 R_1 、 R_2 は水素もしくは置換基を表す。〕で表される化合物を半導体層に用いることを特徴とする電界効果型トランジスタ。

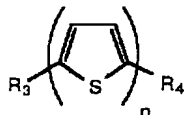
【化 1】



…（化 1）

【請求項 5】下記一般式（化 2）〔但し、式中 n は 6 以上 12 以下の整数を表す。また、 R_3 は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表し、 R_4 はハロゲン基、シアノ基、ニトロ基、置換されていてもよいエステル基、アシル基及び電子吸引性基で置換されているアルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。〕で表される化合物を半導体層に用いることを特徴とする電界効果型トランジスタ。

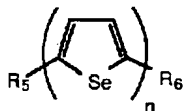
【化 2】



…（化 2）

【請求項 6】下記一般式（化 3）〔但し、式中 n は 6 以上 12 以下の整数を表し、 R_5 、 R_6 は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。〕で表される化合物を半導体層に用いることを特徴とする電界効果型トランジスタ。

【化 3】



…（化 3）

【請求項 7】請求項 4 記載の半導体層の導電性を絶縁膜

により隔てられたゲート電極によって制御することとを特徴とする電界効果型トランジスタ。

【請求項 8】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーを半導体層に用い、基板としてプラスチック基板を用いたことを特徴とする電界効果型トランジスタ。

【請求項 9】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーの溶液を作成し、浸漬法により半導体層を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 10】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーの溶液を作成し、印刷転写法により半導体層を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 11】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーの溶液を作成し、回転塗布法により半導体層を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 12】絶縁基板上にゲート電極を形成する工程（A）、絶縁膜を前記ゲート電極上に形成する工程（B）、イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーの溶液を用いて該共役系オリゴマーからなる半導体層を形成する工程（C）、前記半導体層上にソース電極及びドレイン電極を形成する工程（D）を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 13】絶縁基板上にソース電極及びドレイン電極を形成する工程（A）、前記ソース電極及び前記ドレイン電極上にイオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーの溶液を用いて該共役系オリゴマーからなる半導体層を形成する工程（B）、前記半導体層上に絶縁膜を形成する工程（C）、前記絶縁膜上にゲート電極を形成する工程（D）を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 14】絶縁基板上にゲート電極を形成する工程（A）、前記ゲート電極上に絶縁膜を形成する工程（B）、前記絶縁膜上にソース電極及びドレイン電極を形成する工程（C）、前記ソース及び前記ドレイン電極上にイオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーの溶液を用いて該共役系オリゴマーからなる半導体層を形成する工程（D）を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 15】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーからなる半導体層をレーザー加工法によりパターンニングする工程を含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 16】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーからなる半導体層を紫外線照射により一部を絶縁化することによってパターンニングする工程を含むことを特徴とする電界効果型トランジスタの製造方法。

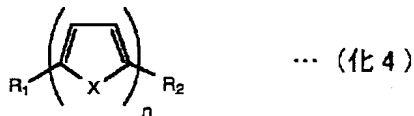
【請求項 17】イオン化ポテンシャルが 4.8 eV 以上の共役系オリゴマーを半導体層に用いた電界効果型トランジスタを用いることを特徴とする液晶表示装置。

【請求項 18】請求項 17 記載の共役系オリゴマーの正孔移動度が $0.2 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とする液晶表示装置。

【請求項 19】請求項 17 記載の共役系オリゴマーが 6 個以上 12 個以下の繰り返し単位からなることを特徴とする液晶表示装置。

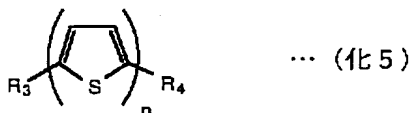
【請求項 20】下記一般式 (化 1) [但し、式中 n は 6 以上 12 以下の整数を表し、 X は S および Se を表す。また、 R_1 , R_2 は水素もしくは置換基を表す。] で表される化合物を半導体層に用いた電界効果型トランジスタを使用することを特徴とする液晶表示装置。

【化 4】



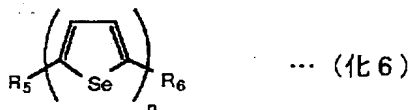
【請求項 21】下記一般式 (化 2) [但し、式中 n は 6 以上 12 以下の整数を表す。また、 R_3 は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表し、 R_4 はハロゲン基、シアノ基、ニトロ基、置換されていてもよいエステル基、アシル基及び電子吸引性基で置換されているアルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。] で表される化合物を半導体層に用いた電界効果型トランジスタを使用することを特徴とする液晶表示装置。

【化 5】



【請求項 22】下記一般式 (化 3) [但し、式中 n は 6 以上 12 以下の整数を表し、 R_5 , R_6 は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。] で表される化合物を半導体層に用いた電界効果型トランジスタを使用することを特徴とする液晶表示装置。

【化 6】



【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電界効果型トランジスタ

タ (以下 FET と略称する)、特に半導体層に有機化合物を用いた FET、その製造方法及びそれを用いた液晶表示装置に関するものである。

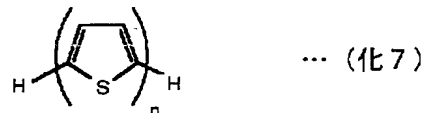
【0002】

【従来の技術】従来の FET は、半導体層としてシリコンや、GaAs 単結晶を用いたものが知られており、実用に供されている。しかし、これらは高価であるため、より安価な有機半導体、即ち有機物質であり、かつ電気的に半導体的な電気特性を有するもの、具体的にはポリアセチレンを使用した FET 素子が報告されている (エビサワ他、ジャーナル オブ アプライド フィジックス、第 54 巻、No. 6、第 3255 頁—第 3269 頁、F. Ebisawa et al.: Journal of Applied Physics, Vol. 54, No. 6, pp 3255—3269)。

【0003】しかしながら、上記化合物を用いた FET では、ポリアセチレンを使用しているため空气中に放置すると不飽和結合の多いポリアセチレンが容易に酸素、水の攻撃を受け、比較的速やかに劣化する。従って、ポリアセチレンを用いた FET は、安定性に乏しく、かつ寿命が短く、電気特性に劣ると言う問題点を有している。この改善策として、下記に示す導電性高分子の提案があった (特開昭 62-31174 号公報、同 62-85224 号公報)。

【0004】

【化 7】



【0005】このような複素 5 員環の高分子からなる有機半導体は電解重合法で形成でき、安価で、長寿命とされている。

【0006】しかしながら、有機半導体部の膜形成が電解重合法で行われているため、電極構造と素子構成が著しく制約されるという問題点がある。

【0007】従来、無機系材料 (Si, Ge) の FET の製造方法に関しては、それら材料のウエハの大きさで制限されるという問題がある。アモルファスシリコン膜、ポリシリコン膜を半導体に使ってガラス基板上に FET を製造する方法が知られている。アモルファスシリコン膜はプラズマ CVD 法を、また、ポリシリコン膜は一般に減圧 CVD 法で作製される。

【0008】プラズマ CVD 法では FET などの駆動素子を均一に、かつ大面積に製造することは、製造装置の制約や、プラズマ制御の難しさなどのため、困難である。更に、膜作製前に高真空にする必要があり、これがスループット低下の一因となっている。

【0009】また、減圧 CVD 法では原料ガスを 450 ~ 600 °C の高温で分解することにより、膜作製をするために、耐熱性の高い、高価なガラス基板を使用しな

ればならないという欠点があった。

【0010】無機系材料を半導体に用いて大面積FETを作製することは上述のような困難が伴うため、有機高分子を半導体に用いる技術が提案されている（特開昭58-114465号公報）。ここで提案されている有機高分子を用いた半導体の製造方法は、大面積の基板に触媒を塗布しその後原料ガスを基板上に導入する方法である。しかし、触媒を大面積に均一に塗布することは困難であり、更に、原料ガスを大面積に均一に導入することも困難である。

【0011】また、金属フタロシアニン類（ケミカルフィジックス レターズ（Chem. Phys. Lett.）142巻，103頁，1987年）を用いたものが知られている。しかしながら、金属フタロシアニンは真空蒸着法で作製するために、多くのFETを同時に、しかも均一に作る場合には、アモルファスシリコンを半導体層として用いたFET同様に問題を残す。

【0012】そこで、最近、成型加工性に優れ、かつ安定な π -共役系高分子として溶媒に可溶な前駆体を有し、その前駆体からの変換により得られるポリチエニレン誘導体が注目されている（特開平4-69971号公報）。

【0013】しかし、これにも問題がある。つまり、アルカリ、又は酸性下での縮合反応であり、ソース、ドレイン電極を侵す可能性がある。そのため、逆スタガー型トランジスタ構造のような、トランジスタ構造の制限を受けてしまう。また、得られた膜の電気伝導度が大きいいため、FETにした場合充分なソース電極とドレイン電極間電流いわゆるドレイン電流のオンオフ比が得られないという問題があった。

【0014】最近、共役系オリゴマーの一種であるセクシチオフエン誘導体が注目されているが（アドバンスドマテリアルズ（Advanced Materials）第2巻，592頁，1990年あるいは特開平4-133351号公報）、移動度は大きいものの電気伝導度が高く、そのため充分なドレイン電流のオンオフ比が取れないという問題がある。オンオフ比が小さい、特にオフ電流が大きい場合には、液晶表示装置に用いた際液晶部に印加された電圧が速くリークしてしまい、結果として表示部のコントラストが低下してしまうという問題をもたらす。

【0015】

【発明が解決しようとする課題】上記のように、電解重合法で得た π -共役系高分子及び真空蒸着法で得た有機化合物をFETの半導体層に用いる場合、FETを大面積基板上に同時に均一に作製することが困難となり、実用上問題である。また、ゲート電圧を印加しないとき、即ちFETのオフ状態の時でさえソース電極とドレイン電極間に比較的大きい電流が流れ、その結果、ドレイン電流のオンオフ比即ち素子のスイッチング比が小さくなり、これら素子をスイッチング素子等に利用する場合に大きな問題点となった。

【0016】更に、半導体層形成時に酸、アルカリ下の条件で縮合重合を進めるため、トランジスタ構造の制限を受けるなど、様々な問題点を有しているのが現状である。本発明は、上記の問題点を解決するためになされたものであり、大面積基板上に同時に均一に作製でき、ゲートに印加する電圧によってドレイン電流を大きく変調させることができるFETを提供することを目的とする。さらには、動作が安定で、素子の寿命も長く、作製方法も簡便にできるFETを提供することを目的とする。

【0017】また、そのようなFETを簡便に作製できる製造方法を提供することを目的とする。

【0018】また、そのようなFETを用いたコントラスト比が大きく、安価、安定で表示特性に優れた液晶表示装置を提供することを目的とする。さらには、安価、安定で表示特性に優れた大面積の液晶表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明者らは、上記の目的を解決するために種々の検討を重ねた結果、下記のような手段が有効であることを見出した。

【0020】第1の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーを半導体層に用いることを特徴とする電界効果型トランジスタを発明した。

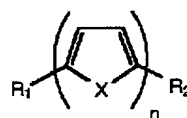
【0021】また、第2の手段として、第1の手段に記載の共役系オリゴマーを半導体層に用い、該半導体層の正孔移動度が $0.2 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とする電界効果型トランジスタを発明した。

【0022】また、第3の手段として、イオン化ポテンシャルが4.8 eV以上であり、6個以上12個以下の繰り返し単位からなる共役系オリゴマーを半導体層に用いることを特徴とする電界効果型トランジスタを発明した。

【0023】また、第4の手段として、下記一般式（化1）〔但し、式中nは6以上12以下の整数を表し、XはSおよびSeを表す。また、R1、R2は水素もしくは置換基を表す。〕で表される化合物を半導体層に用いることを特徴とする電界効果型トランジスタを発明した。

【0024】

【化8】



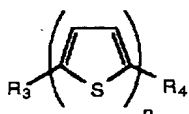
…（化8）

【0025】また、第5の手段として、下記一般式（化2）〔但し、式中nは6以上12以下の整数を表す。また、R3は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル

基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表し、R₄はハロゲン基、シアノ基、ニトロ基、置換されていてもよいエステル基、アシル基及び電子吸引性基で置換されているアルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。〕で表される化合物を半導体層に用いることを特徴とする電界効果型トランジスタを発明した。

【0026】

【化9】

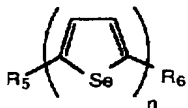


… (化9)

【0027】また、第6の手段として、下記一般式(化3)〔但し、式中nは6以上12以下の整数を表し、R₅、R₆は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。〕で表される化合物を半導体層に用いることを特徴とする電界効果型トランジスタを発明した。

【0028】

【化10】



… (化10)

【0029】第1の手段から第6の手段に記載の共役系オリゴマーを用いることにより、大面積基板上に同時に均一に作製し、またドレイン電流のオンオフ比を大きくするFETを実現することができる。さらには、動作が安定で、素子の寿命も長く、作製方法も簡便にできるFETを実現することができる。

【0030】また、第7の手段として、第4の手段に記載の半導体層の導電性を絶縁膜により隔てられたゲート電極によって制御することを特徴とする電界効果型トランジスタを発明した。

【0031】第7の手段に記載のFETによって、特にゲート電極に印加する電圧を大きくすることができ、ドレイン電流を大きく変調できる、即ち大きなスイッチング比を得ることができる。また、基板上での素子特性のばらつきを小さくすることができる。

【0032】また、第8の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーを半導体層に用い、基板としてプラスチック基板を用いたことを特徴とする電界効果型トランジスタを発明した。

【0033】第8の手段に記載のFETによって、軽量で大面積のFET素子を実現することができる。

【0034】また、第9の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーの溶液を作

成し、浸漬法により半導体層を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0035】また、第10の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーの溶液を作成し、印刷転写法により半導体層を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0036】また、第11の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーの溶液を作成し、回転塗布法により半導体層を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0037】また、第12の手段として、絶縁基板上にゲート電極を形成する工程(A)、絶縁膜を前記ゲート電極上に形成する工程(B)、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーの溶液を用いて該共役系オリゴマーからなる半導体層を形成する工程

(C)、前記半導体層上にソース電極及びドレイン電極を形成する工程(D)を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0038】また、第13の手段として、絶縁基板上にソース電極及びドレイン電極を形成する工程(A)、前記ソース電極及び前記ドレイン電極上にイオン化ポテンシャルが4.8 eV以上の共役系オリゴマーの溶液を用いて該共役系オリゴマーからなる半導体層を形成する工程(B)、前記半導体層上に絶縁膜を形成する工程

(C)、前記絶縁膜上にゲート電極を形成する工程(D)を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0039】また、第14の手段として、絶縁基板上にゲート電極を形成する工程(A)、前記ゲート電極上に絶縁膜を形成する工程(B)、前記絶縁膜上にソース電極及びドレイン電極を形成する工程(C)、前記ソース及び前記ドレイン電極上にイオン化ポテンシャルが4.8 eV以上の共役系オリゴマーの溶液を用いて該共役系オリゴマーからなる半導体層を形成する工程(D)を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0040】また、第15の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーからなる半導体層をレーザー加工法によりパターンニングする工程を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0041】また、第16の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーからなる半導体層を紫外線照射により一部を絶縁化することによってパターンニングする工程を含むことを特徴とする電界効果型トランジスタの製造方法を発明した。

【0042】第9の手段から第16の手段に記載のFET

Tの製造方法によって、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができ、即ち大きなスイッチング比を有し、その動作が安定で素子の寿命も長いFETを、大面積基板上に同時に均一にかつ簡便に作製できるFETの製造方法を実現できる。

【0043】また、第17の手段として、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーを半導体層に用いた電界効果型トランジスタを用いることを特徴とする液晶表示装置を発明した。

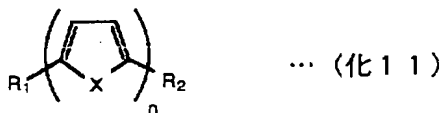
【0044】また、第18の手段として、第17の手段に記載の共役系オリゴマーの正孔移動度が $0.2 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とする液晶表示装置を発明した。

【0045】また、第19の手段として、第17の手段に記載の共役系オリゴマーが6個以上12個以下の繰り返し単位からなることを特徴とする液晶表示装置を発明した。

【0046】また、第20の手段として、下記一般式(化1)〔但し、式中nは6以上12以下の整数を表し、XはSおよびSeを表す。また、R1、R2は水素もしくは置換基を表す。〕で表される化合物を半導体層に用いた電界効果型トランジスタを使用することを特徴とする液晶表示装置を発明した。

【0047】

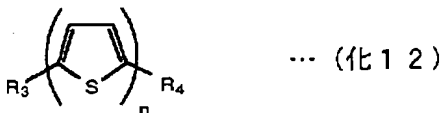
【化11】



【0048】また、第21の手段として、下記一般式(化2)〔但し、式中nは6以上12以下の整数を表す。また、R3は水素、ハロゲン基、シアノ基、ニトロ基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表し、R4はハロゲン基、シアノ基、ニトロ基、置換されていてもよいエステル基、アシル基及び電子吸引性基で置換されているアルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。〕で表される化合物を半導体層に用いた電界効果型トランジスタを使用することを特徴とする液晶表示装置を発明した。

【0049】

【化12】

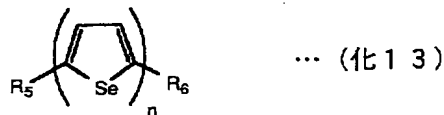


【0050】また、第22の手段として、下記一般式(化3)〔但し、式中nは6以上12以下の整数を表し、R5、R6は水素、ハロゲン基、シアノ基、ニトロ

基及び置換されていてもよいエステル基、アシル基、アルキル基、アルコキシ基、アルキルチオ基、アリール基、アルケニル基を表す。〕で表される化合物を半導体層に用いた電界効果型トランジスタを使用することを特徴とする液晶表示装置を発明した。

【0051】

【化13】



【0052】第17の手段から第22の手段に記載の液晶表示装置によって、安価、安定、大面積でかつ表示特性に優れた液晶表示装置を実現できる。

【0053】本発明の基板としては、絶縁性の材料であれば広い範囲から選択することが可能であり、具体的には、ガラス、アルミナ焼結体などの無機材料、ポリイミドフィルム、ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリパラキシレン膜等の各種絶縁性プラスチック等が使用可能である。特にプラスチック基板を用いると、軽量でフレキシブルなFETを作製することができ有用である。

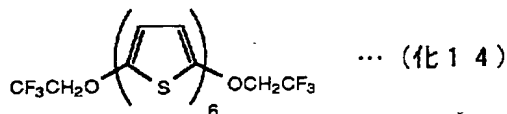
【0054】本発明のゲート電極としては、金、白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン等の金属や、ポリシリコン、アモルファスシリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物(ITO)等の無機材料あるいはポリアニリン、ポリチオフェン等の有機材料が使用できる。もちろんこれらの材料に限られるわけではなく、また、これらの材料を2種以上併用しても差し支えない。

【0055】ここで、ゲート電極を設ける方法としては蒸着、スパッタリング、めっき、各種CVD成長あるいは浸漬法、印刷転写法、回転塗布法等の方法がある。

【0056】本発明の半導体層の材料としては、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーを用いる。望ましくは、4.8 eV以上6.0 eV以下である。特に、正孔移動度が $0.2 \text{ cm}^2/\text{Vs}$ 以上、さらには $0.2 \text{ cm}^2/\text{Vs}$ 以上 $10 \text{ cm}^2/\text{Vs}$ 以下の共役系オリゴマーが望ましい。また、繰り返し単位が6個以上の共役系オリゴマー、さらには6個以上12個以下の共役系オリゴマーが望ましい。具体的な共役系オリゴマーとしては、例えば

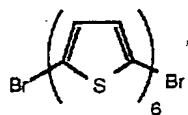
【0057】

【化14】

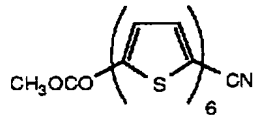


【0058】

【化15】



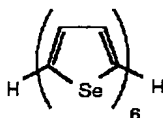
... (化15)



... (化23)

【0059】

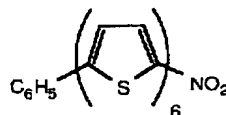
【化16】



... (化16)

【0067】

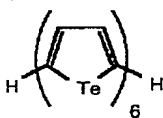
【化24】



... (化24)

【0060】

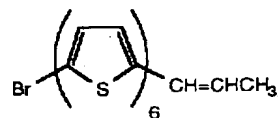
【化17】



... (化17)

【0068】

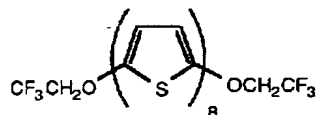
【化25】



... (化25)

【0061】

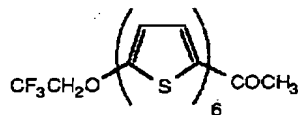
【化18】



... (化18)

【0069】

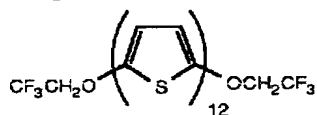
【化26】



... (化26)

【0062】

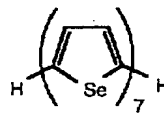
【化19】



... (化19)

【0070】

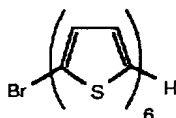
【化27】



... (化27)

【0063】

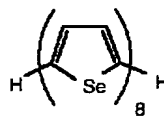
【化20】



... (化20)

【0071】

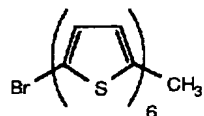
【化28】



... (化28)

【0064】

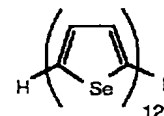
【化21】



... (化21)

【0072】

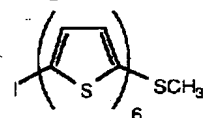
【化29】



... (化29)

【0065】

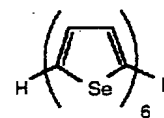
【化22】



... (化22)

【0073】

【化30】



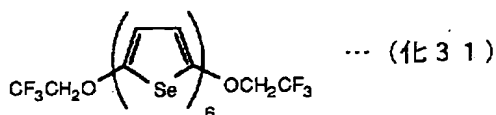
... (化30)

【0066】

【化23】

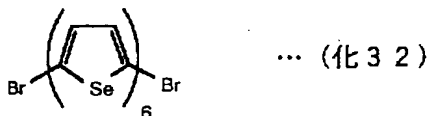
【0074】

【化31】



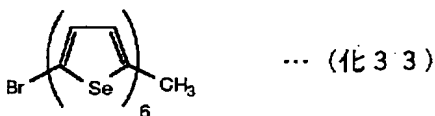
【0075】

【化32】



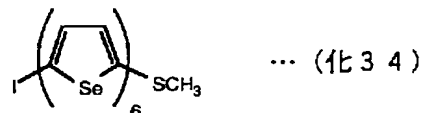
【0076】

【化33】



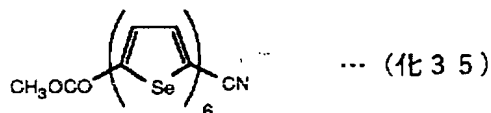
【0077】

【化34】



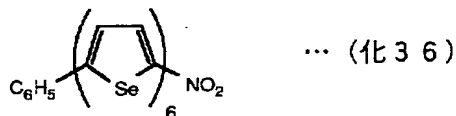
【0078】

【化35】



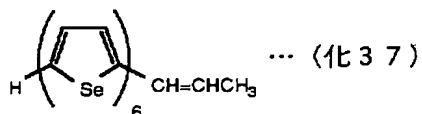
【0079】

【化36】



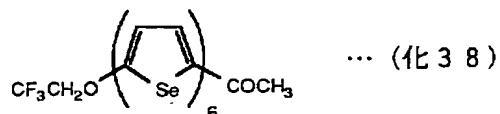
【0080】

【化37】



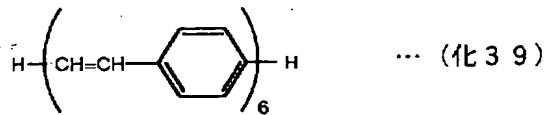
【0081】

【化38】



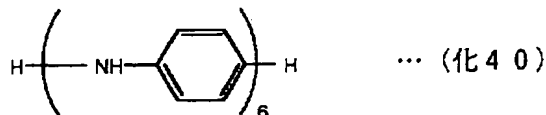
【0082】

【化39】



【0083】

【化40】



【0084】本発明はもちろんこれらに限られるものではなく、また2種類以上混合してもよい。

【0085】以上の有機化合物からなる半導体層は、真空蒸着法により容易に形成できる。また、浸漬法、印刷転写法及び回転塗布法等の湿式法を用いると、より容易に均一で大面積の半導体層が作製できる。

【0086】湿式法を用いて有機半導体層を形成する際の溶液濃度としては、0.1重量%から10重量%までである。好ましい溶液濃度としては、0.1重量%から5重量%である。

【0087】本発明の絶縁膜に用いる材料として、SiO₂、SiNx、Al₂O₃等の無機材料やポリクロロピレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルアセテート、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリメチルメタクリレート、ポリサルホン、ポリカーボネート、ポリイミド等の有機材料が挙げられるが、もちろんこれらの材料に限られるわけではない。

【0088】特に有機材料を用いると、絶縁膜の作製方法としては、有機半導体部形成時と同様に印刷法、スピンコート法、あるいはディップ法が使用でき、有用である。また、ゲート電極にアルミニウムやインジウムなどの仕事関数の小さな金属を用いた場合には、絶縁膜を用いることなく上記金属と半導体層とのショットキー接合を用いたFETを作製することができる。

【0089】本発明で使用するソース電極及びドレイン電極の材料としては、例えば、金、銀、銅、アルミニウム、インジウム、クロム、モリブデン等の金属や、白金シリサイド、インジウムシリサイド、低抵抗ポリシリコン、低抵抗アモルファスシリコン、錫酸化物、インジウム酸化物、インジウム・錫酸化物(ITO)等の無機材料やポリアニリンポリチオフェン等の有機材料を用いることができる。特に、半導体層とオーミックコンタクトが取りやすい、金、銅、クロム、モリブデン、錫酸化物、インジウム酸化物、インジウム・錫酸化物(ITO)、ポリアニリン及びポリチオフェンが好ましい。

【0090】ソース電極及びドレイン電極を得る方法としては、例えばスパッタリング、めっき、CVD法、蒸着法、クラスターイオンビーム蒸着法等がある。有機材料の場合は、浸漬法、回転塗布法、印刷転写法等のウェッ

ト法で作製することができる。

【0091】

【作用】本発明によるFETが優れた特性を示す原因を、以下のように推定する。

【0092】従来のFETの半導体層に用いる共役系オリゴマーに関しては、移動度を大きくすることを中心に数多くの検討が行われてきた。

【0093】そのためには、 π 電子共役系が充分長く、かつ適度な結晶性を有することが必要であり、それらの検討の中から、セクシチオフエン誘導体（アドバンスドマテリアルズ（Advanced Materials）第2巻、592頁、1990年）等の移動度の大きな共役系オリゴマーが見いだされてきた。

【0094】しかしながら、それらは皆電気伝導度が大きいため、FETに用いた場合ドレイン電流のオンオフ比が大きくなるという問題があった。

【0095】材料の電気伝導度 σ は、 $\sigma = e(n_e \times \mu_e + n_p \times \mu_p)$ で表される（但し、 e は素電荷、 n_e は材料中の電子密度、 μ_e は材料中の電子移動度、 n_p は材料中の正孔密度、 μ_p は材料中の正孔移動度を表す。）。

【0096】有機半導体はそのほとんどがp型半導体であり、 n_e 、 μ_e は無視できるほど小さい。従って、 $\sigma = e n_p \times \mu_p$ となる。正孔移動度 μ_p が大きくなると、先の式から必然的に電気伝導度は大きくなってしまふ。其のため、移動度を大きくしてかつ電気伝導度を下げるには、p型半導体中の正孔密度 n_p を小さくしなければならない。

【0097】材料中の正孔は、電子吸引性物質と材料との電荷移動反応によって発生すると考えられ、空気中においては、酸素がその電子吸引性物質として作用するものと推定される。従って、正孔濃度を小さくするには、p型半導体と酸素との電荷移動反応を起こりにくくする必要がある。

【0098】p型半導体と酸素との電荷移動反応は、p型半導体から電子が抜け、酸素に移る反応である。従って、p型半導体からの電子の抜け易さと酸素の電子の受取易さがこの電荷移動反応の起こりやすさを決定する。

【0099】半導体からの電子の抜け易さを示す物性値として、イオン化ポテンシャルがある。イオン化ポテンシャルが大きいということは、材料から電子が1個抜ける際に多くのエネルギーが必要であるということを意味する。従って、イオン化ポテンシャルが4.8 eV以上であると酸素との電荷移動反応が起こりにくくなって正孔濃度が減少し、電気伝導度が小さくなったと考えられる。そのため、イオン化ポテンシャルが4.8 eV以上の共役系オリゴマーを半導体層に用いることによってオンオフ比の大きいFETが得られたものと考えられる。

【0100】イオン化ポテンシャルが大きくなることにより、電気伝導度が小さくなり、オンオフ比が大きくな

る。オンオフ比は大きい程良いため、イオン化ポテンシャルも大きい程良い。イオン化ポテンシャルが大きくなることにより、電極とのコンタクトが悪くなるという短所があるが、これは（1）電極との接触部分をドーピングするあるいは（2）半導体層と同様な構造を有する導電性高分子を電極に用いることにより解決可能であるため、この短所は容易に克服できる。

【0101】特に、繰返し単位が6個以上、望ましくは、6個以上12個以下の共役系オリゴマーを用いることにより高いオン電流が得られるようになり、さらにオンオフ比の大きいFETが得られる。

【0102】あるいは、正孔移動度が $0.2 \text{ cm}^2/\text{Vs}$ 以上の共役系オリゴマーを用いることにより高いオン電流が得られるようになり、更にオンオフ比の大きいFET素子を得ることが可能となる。

【0103】オンオフ比は大きい程良いため、正孔移動度も大きい程良い。また、正孔移動度が大きくなることにより、FETの大きさを小さくでき、LCDの開口率を向上できる。開口率は大きい程良いため、正孔移動度も大きい程良い。また、正孔移動度が大きくなることにより、TFT-LCDのドライバー等に用いることも可能となる。

【0104】また、本発明でいうイオン化ポテンシャルは、大気下光電子分光装置を用いて測定された値として定義する。

【0105】

【実施例】以下、本発明を実施例により詳細に説明する。

【0106】（合成例1）2-ブロモ-5-トリフルオロエトキシチオフエンをR. M. Kellogg ほか、ザジャーナル オブ オーガニック ケミストリ 第33巻、7号、2902ページ（1968年）に記載されている方法と同様に合成した。

【0107】2-ブロモ-5-トリフルオロエトキシチオフエン0.01モル（2.61 g）を20 mlのジエチルエーテルに溶解させ、マグネシウム0.01モル（0.243 g）を分散させたジエチルエーテル（20 ml）中に加えてグリニャール試薬を調製した。

【0108】これに触媒量の1, 3-ビス（ジフェニルフォスフィノ）プロパンニッケル（II）を加え、次いで2, 5'-ジブロモクォータチオフエン0.004モル（1.57 g）をジエチルエーテルに分散させた分散液を滴下し一昼夜攪拌して2, 5'-ジ（トリフルオロエトキシ）セクシチオフエンを得た。この化合物の蒸着膜のイオン化ポテンシャルを大気下において光電子分光装置を用いて測定したところ、5.0 eVであった。

【0109】（実施例1）大きさが33.7 mm×33.7 mm×1.1 mmのコーニング7059のガラス基板上にCrを真空蒸着法により作製し、ゲート電極とした。次

に、スパッタ法を用いて580nmのSiO₂膜を形成し、ゲート絶縁膜とした。次に、真空蒸着法により合成例1の化合物の薄膜を50nmの膜厚で作製した。

【0110】さらに、真空蒸着法により金のソース電極及びドレイン電極を作製した。ソース電極及びドレイン電極の幅、すなわちチャネル幅は1mm、両電極の間隔すなわちチャネル長は100μmとした。図1にこのようにしてできたFETの構成を示す。

【0111】上記FETにおいて、ゲート電圧VGを変えたときのドレイン電圧VDに対するドレイン電流IDの特性を図2に示す。

【0112】図2において、横軸はドレイン電圧VDであり、縦軸はドレイン電流IDである。ゲート電圧VGが0Vの時には、ドレイン電圧VDが大きくなってもドレイン電流IDはほとんど流れないが、負のゲート電圧VGを印加した時には大きなドレイン電流IDが流れた。

【0113】図2から分かるように、印加するゲート電圧VGによってドレイン電流IDを大きく変調することができた。

【0114】また、上記FETのゲート電圧に対するドレイン電流の特性からH. Akimichi他、アプライドフィジックス レターズ 第58巻, 14号 1500ページ(1991年)に記載されている方法でドレイン電圧-0.5Vでの正孔移動度を見積もったところ、正孔移動度は0.23cm²/Vsであった。

【0115】(合成例2) 2-ブロモ-5-トリフルオロエトキシチオフェンの代わりに2, 5-ジブロモチオフェンを用いた以外は合成例1と同様な反応を行い、2, 5-ジブロモセクシチオフェンを合成した。

【0116】この化合物の蒸着膜のイオン化ポテンシャルを大気下において光電子分光装置を用いて測定したところ、5.6eVであった。

【0117】(実施例2) ガラス基板上にCrを真空蒸着法により作製し、ゲート電極とした。次に、アセトニトリル-ジメチルホルムアミドの1:1混合溶媒にシアノエチルプルランを溶解した溶液からキャスト法を用いて8μmのシアノエチルプルラン膜を作製して、ゲート絶縁膜とした。次に、真空蒸着法により合成例2の化合物の薄膜を50nmの膜厚で作製した。

【0118】さらに、真空蒸着法により金のソース電極及びドレイン電極を作製した。ソース電極及びドレイン電極の幅、即ちチャネル幅は1mm、両電極の間隔即ちチャネル長は100μmとした。上記FETにおいて、ゲート電圧VGを変えたときのドレイン電圧VDに対するドレイン電流IDの特性を図3に示す。

【0119】図3において、横軸はドレイン電圧VDであり、縦軸はドレイン電流IDである。ゲート電圧VGが0Vの時には、ドレイン電圧VDが大きくなってもド

レイン電流IDはほとんど流れないが、負のゲート電圧VGを印加した時には大きなドレイン電流IDが流れた。

【0120】図3から分かるように、印加するゲート電圧VGによってドレイン電流IDを大きく変調することができた。

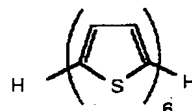
【0121】実施例1と同様な方法でドレイン電圧-0.5Vでの正孔移動度を見積もったところ、0.20cm²/Vsであった。

【0122】以下の比較例1から4及び実施例3の化合物は、合成例1, 2と同様な方法で合成可能である。

【0123】(比較例1) 半導体層の材料に下記化合物を用いた以外は実施例1と同様にして、FETを作製した。

【0124】

【化41】



…(化41)

【0125】該素子のゲート電圧VGを変えたときのドレイン電圧VDに対するドレイン電流IDの特性を測定した。これを図4に示す。

【0126】図4において、横軸はドレイン電圧VDであり、縦軸はドレイン電流IDである。

【0127】実施例1で得られたFETにおいては、ゲート電圧VGを印加しない時のドレイン電流IDを小さくすることができ、ゲート電圧によって変調できるドレイン電流IDは5桁以上に達したのに対し、比較例1で作製したFETではゲート電圧VGによって変調できるドレイン電流IDは4桁程度であった。

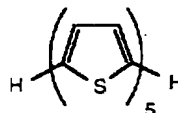
【0128】また、この化合物の蒸着膜のイオン化ポテンシャルを測定したところ、4.5eVであった。

【0129】実施例1と同様な方法でドレイン電圧-0.5Vでの正孔移動度を見積もった結果、0.20cm²/Vsであった。

【0130】(比較例2) 半導体層の材料に下記化合物を用いた以外は実施例1と同様にして、FETを作製した。

【0131】

【化42】



…(化42)

【0132】この素子のオンオフ比(VD=-20VでVG=-20Vの時のドレイン電流値をVD=-20VでVG=0Vの時のドレイン電流値で割った値)を測定したところ、10000であり、良好なオンオフ比は得られなかった。この化合物の蒸着膜のイオン化ポテンシ

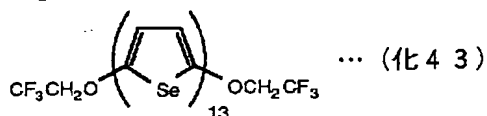
ヤルを測定したところ、 4.7 eV であった。

【0133】また、実施例1と同様な方法でドレイン電圧 -0.5 V での正孔移動度を見積もったところ、 $0.05\text{ cm}^2/\text{Vs}$ であった。

【0134】（比較例3）半導体層の材料に下記化合物を用いた以外は実施例1と同様にして、FETを作製した。

【0135】

【化43】



【0136】この素子のオンオフ比（ $V_D = -20\text{ V}$ で $V_G = -20\text{ V}$ の時のドレイン電流値を $V_D = -20\text{ V}$ で $V_G = 0\text{ V}$ の時のドレイン電流値で割った値）を測定

したところ、13000であり、良好なオンオフ比は得られなかった。

【0137】この化合物のイオン化ポテンシャルを測定したところ、 4.8 eV であった。実施例1と同様な方法でドレイン電圧 -0.5 V での正孔移動度を測定したところ、 $0.1\text{ cm}^2/\text{Vs}$ であった。

【0138】（実施例3）半導体層の材料として、化合物「化A」から「化Y」を用いる以外は実施例2と同様にFETを作製した。表1にそれらのイオン化ポテンシャル、作製したFETのドレイン電圧 -0.5 V での正孔移動度及びオンオフ比（ $V_D = -20\text{ V}$ で $V_G = -20\text{ V}$ の時のドレイン電流値を $V_D = -20\text{ V}$ で $V_G = 0\text{ V}$ の時のドレイン電流値で割った値）を示した。

【0139】

【表1】

表 1

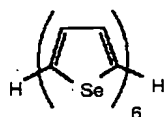
化合物名	イオン化ポテンシャル (eV)	正孔移動度 (cm^2/Vs)	オンオフ比
化A	5.2	0.21	110000
化B	5.4	0.30	120000
化C	4.9	0.19	100000
化D	4.8	0.15	70000
化E	5.0	0.25	110000
化F	4.7	0.15	60000
化G	5.6	0.10	100000
化H	5.6	0.23	105000
化I	5.4	0.08	100000
化J	5.4	0.15	105000
化K	5.2	0.24	110000
化L	5.1	0.20	104000
化M	5.0	0.20	100000
化N	5.0	0.21	100000
化O	5.4	0.31	120000
化P	5.4	0.27	115000
化Q	5.6	0.25	106000
化R	5.5	0.2	110000
化S	5.6	0.17	102000
化T	5.6	0.18	102000
化U	5.6	0.15	101000
化V	5.4	0.20	107000
化W	5.5	0.20	109000
化X	5.6	0.10	100000
化Y	5.0	0.05	80000

【0140】表1のようにいずれのFETも良好なオンオフ比を示した。

【0141】ここで、「化A」の化学式は、

【0142】

【化44】

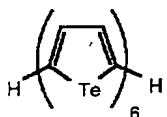


... (化 4 4)

【0143】「化B」の化学式は、

【0144】

【化45】

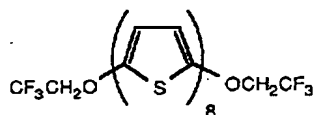


... (化 4 5)

【0145】「化C」の化学式は、

【0146】

【化46】

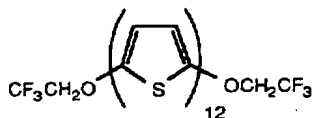


... (化 4 6)

【0147】「化D」の化学式は、

【0148】

【化47】

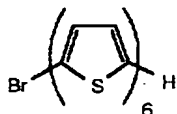


... (化 4 7)

【0149】「化E」の化学式は、

【0150】

【化48】

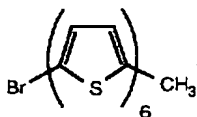


... (化 4 8)

【0151】「化F」の化学式は、

【0152】

【化49】

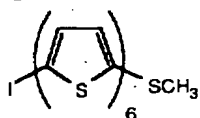


... (化 4 9)

【0153】「化G」の化学式は、

【0154】

【化50】

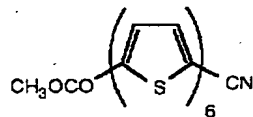


... (化 5 0)

【0155】「化H」の化学式は、

【0156】

【化51】

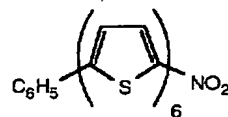


... (化 5 1)

【0157】「化I」の化学式は、

【0158】

【化52】

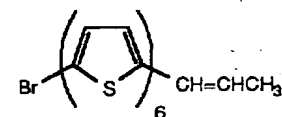


... (化 5 2)

【0159】「化J」の化学式は、

【0160】

【化53】

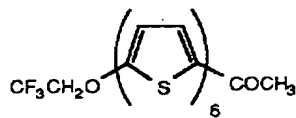


... (化 5 3)

【0161】「化K」の化学式は、

【0162】

【化54】

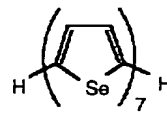


... (化 5 4)

【0163】「化L」の化学式は、

【0164】

【化55】

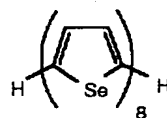


... (化 5 5)

【0165】「化M」の化学式は、

【0166】

【化56】

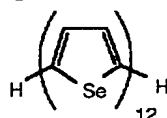


... (化 5 6)

【0167】「化N」の化学式は、

【0168】

【化57】



... (化 5 7)

【0169】「化O」の化学式は、

【0170】

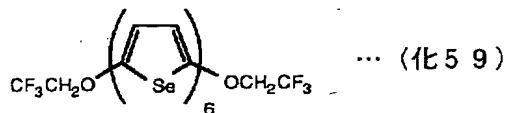
【化58】



【0171】「化P」の化学式は、

【0172】

【化59】



【0173】「化Q」の化学式は、

【0174】

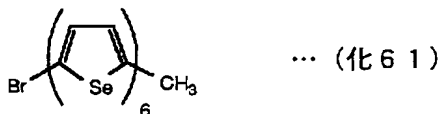
【化60】



【0175】「化R」の化学式は、

【0176】

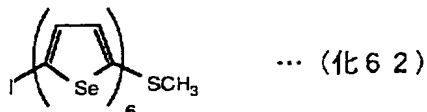
【化61】



【0177】「化S」の化学式は、

【0178】

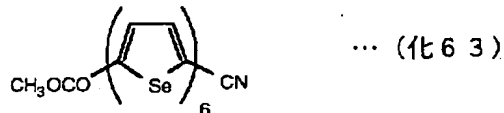
【化62】



【0179】「化T」の化学式は、

【0180】

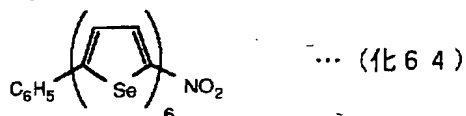
【化63】



【0181】「化U」の化学式は、

【0182】

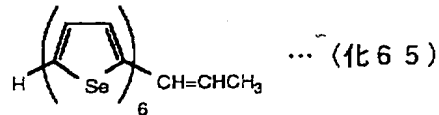
【化64】



【0183】「化V」の化学式は、

【0184】

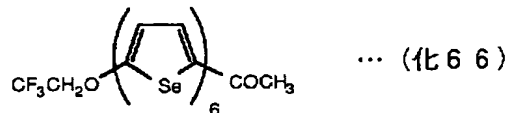
【化65】



【0185】「化W」の化学式は、

【0186】

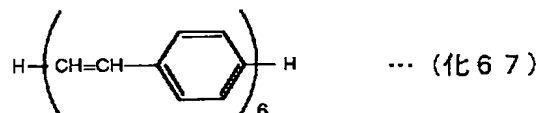
【化66】



【0187】「化X」の化学式は、

【0188】

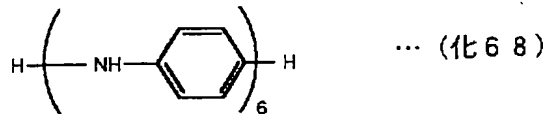
【化67】



【0189】「化Y」の化学式は、

【0190】

【化68】



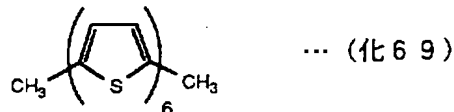
【0191】である。

【0192】(比較例4) 半導体層の材料として化合物「化I」, 「化II」を用いる以外は実施例2と同様にFETを作製した。それらのFETのオンオフ比(VD=-20VでVG=-20Vの時のドレイン電流値をVD=-20VでVG=0Vの時のドレイン電流値で割った値)を測定したところ、それぞれ15000, 14000であった。

【0193】ここで、「化I」の化学式は、

【0194】

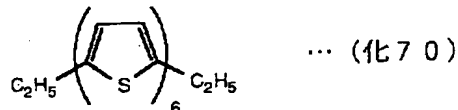
【化69】



【0195】「化II」の化学式は、

【0196】

【化70】



【0197】である。

【0198】また、「化I」及び「化II」の薄膜のイオン化ポテンシャルを大気下において光電子分光装置で測

定したところ、それぞれ4.4 eV, 4.3 eVであった。また、実施例1と同様な方法でドレイン電圧-0.5 Vでの正孔移動度を見積もったところ、それぞれ0.05 cm²/Vs, 0.1 cm²/Vsであった。

【0199】以上、実施例1から3及び比較例1から4のイオン化ポテンシャルに対するオンオフ比の関係を図9に示した。

【0200】図9のように、イオン化ポテンシャルが4.8 eV付近でオンオフ比が大きく変化する。

【0201】(実施例4) 基板として、ポリカーボネート基板を用いた以外は実施例1と同様にFETを作製した。

【0202】該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ150000であり良好なオンオフ比を示した。

【0203】(実施例5) 実施例1と同様に基板上にゲート電極およびゲート絶縁膜を作製した。2, 5'-ジ(トリフルオロエトキシ)セクシチオフエンの1重量%アセトニトリル溶液を用い、転写ロールと基板との接地幅が1 cmとなるように該基板を設置して印刷し、半導体層を作製した。さらに実施例1と同様にソース、ドレイン電極を作製しFETを得た。

【0204】該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ160000であり良好なオンオフ比を示した。

【0205】(実施例6) 素子構成が図5のようである以外は、実施例5と同様にFETを作製した。

【0206】該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ150000であり良好なオンオフ比を示した。

【0207】(実施例7) 素子構成が図6のようである以外は実施例5と同様にFETを作製した。

【0208】該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ150000であり良好なオンオフ比を示した。

【0209】(実施例8) 素子構成が図7のようであり、ゲート電極がA1である以外は実施例1と同様にFETを作製した。

【0210】該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ500000であり良好なオンオフ比を示した。

た。

【0211】(実施例9) 基板の大きさが50 cm×1 m×1.1 mmである以外は実施例5と同様に、基板上の中央部及び4隅に計5個のFETを同時に作製した。

【0212】中央部のFETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ155000であり良好なオンオフ比を示した。

【0213】さらに、基板上のすべてのFET素子のオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ、オンオフ比は140000~165000であり、オンオフ比のバラツキは小さかった。

【0214】(実施例10) 実施例5と同様に基板上にゲート電極、ゲート絶縁膜及び2, 5'-ジ(トリフルオロエトキシ)セクシチオフエンからなる半導体層を作製した。次にマスクを介してチャネル部分以外にエキシマーレーザー光(ArF, 195 nm)を5 mJ/cm²の露光量となるように照射し、半導体層をパターンニングした。さらに、実施例1と同様にソース、ドレイン電極を作製しFETを得た。該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ160000であり良好なオンオフ比を示した。

【0215】(実施例11) 実施例6と同様に基板上にゲート電極、ゲート絶縁膜及び2, 5'-ジ(トリフルオロエトキシ)セクシチオフエンからなる半導体層を作製した。次にマスクを介してチャネル部分以外に100 Wの水銀灯の光を10分間照射し、チャネル部分以外を絶縁体化した。

【0216】さらに、実施例1と同様にソース、ドレイン電極を作製しFETを得た。

【0217】該FETのオンオフ比(VD=-20 VでVG=-20 Vの時のドレイン電流値をVD=-20 VでVG=0 Vの時のドレイン電流値で割った値)を測定したところ160000であり良好なオンオフ比を示した。

【0218】(実施例12) 図8に示すように、光学的に透明な基板7上に透明なコモン電極8を形成した。基板9にはゲート電極2, ゲート絶縁膜3, 半導体層4, ソース及びドレイン電極10を実施例1と同じ材料を用いて同様に作製した。

【0219】次に、画素電極11, 保護膜12を設けた。さらに、コモン電極8及び保護膜12上に一定方向にラビングした配向膜13, 14を形成した。この時、配向膜のラビング方向は13と14が直交するようにした。

【0220】その後、この配向膜13、14間にネマチック液晶15を挟持した。基板7、9の外側に偏光板16、17を設けた。この時、偏光板16、17の偏光方向はそれぞれ配向膜13、14のラビング方向と同じ方向である。

【0221】さらに、コモン電圧供給回路18、走査電圧・信号供給回路19、前記回路18、19に制御信号、データ信号及び電源電圧の供給源20を付設した。

【0222】図8の構成において、液晶には、シアノフェニルシクロヘキサン系化合物を主成分とする組成物ZL1-4580（メルク社製）を、配向膜にはポリイミドRN-718（日産化学社製）を、偏光板にはポリビニルアルコール系材料G1220DU（日東電工社製）をそれぞれ用いた。

【0223】上記液晶表示装置を点灯評価したところ、画素部分のコントラスト比は150であり、良好な表示が得られた。

【0224】（実施例13）半導体層の材料に実施例3の化A、化E及び化Wを用いた以外は実施例12と同様に液晶表示装置を作製した。これらの液晶表示装置を点灯評価したところ、それぞれコントラスト比は、140、150、100であり、良好な表示が得られた。

【0225】

【発明の効果】本発明は、電界効果型トランジスタにおいて、半導体層にイオン化ポテンシャルが4.8 eV以上の共役系オリゴマーを用いることにより、大面積基板上に同時に均一に作製でき、ゲートに印加する電圧によってドレイン電流を大きく変調させることができるFETを得ることができる。

【0226】さらには、動作が安定で、素子の寿命も長く、作製方法も簡便にできるFETを提供することができる。

【0227】また、そのようなFETを簡便に作製できる製造方法を提供することができる。

【0228】また、そのようなFETを用いたコントラスト比が大きく、安価、安定で表示特性に優れた液晶表示装置を提供することができる。さらには、安価、安定で表示特性に優れた大面積の液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】電界効果型トランジスタの断面図。

【図2】ドレイン電圧に対するドレイン電流の特性。

【図3】ドレイン電圧に対するドレイン電流の特性。

【図4】ドレイン電圧に対するドレイン電流の特性。

【図5】電界効果型トランジスタの断面図。

【図6】電界効果型トランジスタの断面図。

【図7】電界効果型トランジスタの断面図。

【図8】本発明の液晶表示装置の構成。

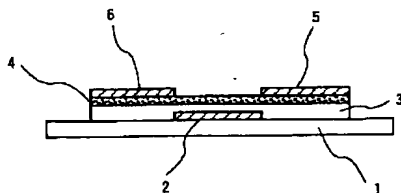
【図9】イオン化ポテンシャルに対するオンオフ比の関係。

【符号の説明】

1, 7, 9…基板、2…ゲート電極、3…ゲート絶縁膜、4…半導体層、5…ドレイン電極、6…ソース電極、8…コモン電極、10…ソース及びドレイン電極、11…画素電極、12…保護膜、13, 14…配向膜、15…ネマチック液晶、16, 17…偏光板、18…コモン電圧供給回路、19…走査電圧・信号供給回路、20…制御信号、データ信号及び電源電圧の供給源。

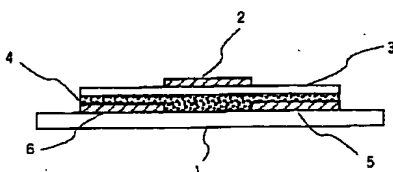
【図1】

図 1



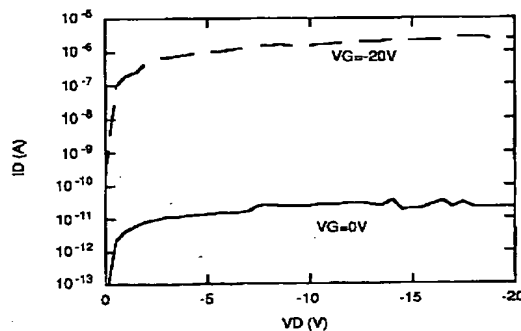
【図5】

図 5



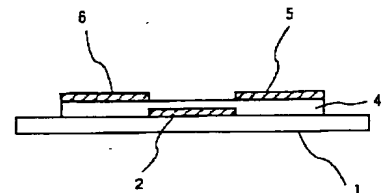
【図2】

図 2

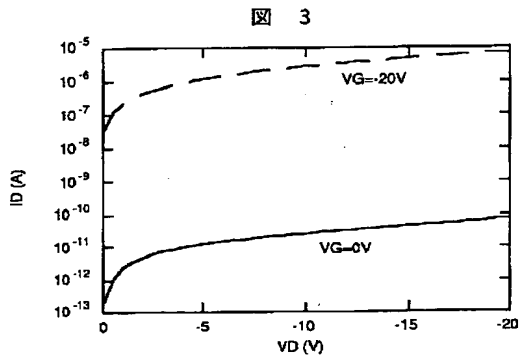


【図7】

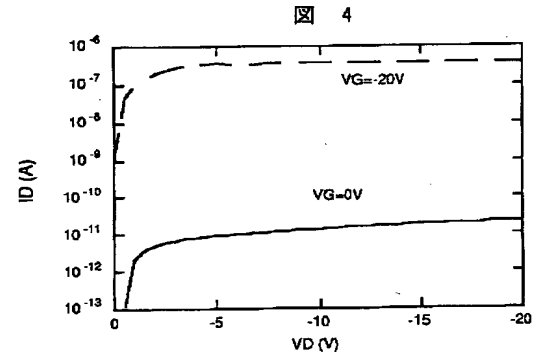
図 7



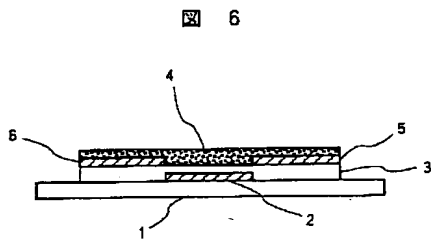
【図3】



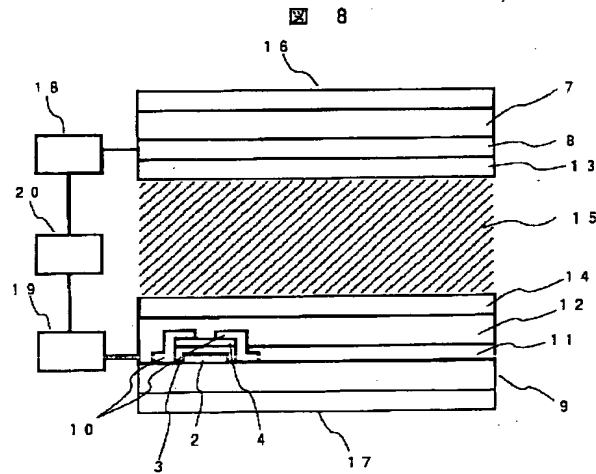
【図4】



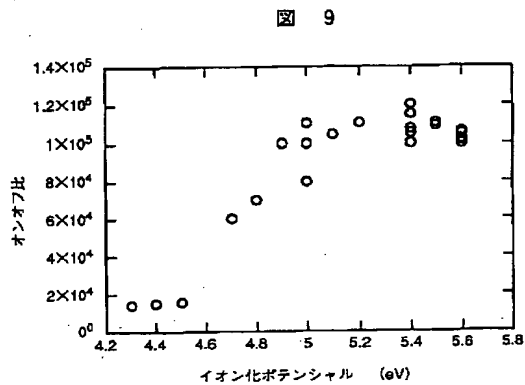
【図6】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所